

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP4239168
Publication date: 1992-08-27
Inventor(s): USAMI MITSUO
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP4239168
Application Number: JP19910002395 19910114
Priority Number(s):
IPC Classification: H01L25/00 ; H01L21/60 ; H01L23/12 ; H01L27/00 ; H01L27/04
EC Classification:
Equivalents: JP2942363B2

Abstract

PURPOSE: To reduce noise generated in a common wiring for a power supply system of a large scale integrated circuit device which carries out very fast operation.

CONSTITUTION: Take-out electrodes 8a and 8b from power supply wirings VCC1 and VEE1 which supplies power supply voltage to an SPL circuit which constitutes a semiconductor circuit formed on a semiconductor chip 4 are formed on the upper most layer on a main side of the aforesaid semiconductor chip 4 and the aforesaid take out electrodes 8a and 8b are connected with take-out electrodes from a plate capacitor CX by way of a bump 5 so that the plate capacitor CX may be electrically connected between the aforesaid power supply wirings VCC1 and VEE1.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2942363号

(45) 発行日 平成11年(1999) 8月30日

(24) 登録日 平成11年(1999) 6月18日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 25/00

H 0 1 L 25/00

B

請求項の数 2 (全 13 頁)

(21) 出願番号 特願平3-2395
(22) 出願日 平成3年(1991) 1月14日
(65) 公開番号 特開平4-239168
(43) 公開日 平成4年(1992) 8月27日
審査請求日 平成10年(1998) 1月9日

(73) 特許権者 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 宇佐美 光雄
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
(74) 代理人 弁理士 筒井 大和

審査官 川真田 秀男

(56) 参考文献 特開 平1-137662 (J P, A)

(58) 調査した分野(Int.Cl.⁸, D B名)
H01L 25/00

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】 所定の半導体集積回路を有する半導体チップの主面側最上層に前記半導体集積回路の所定の電源系共通配線からの引出し電極を設け、前記半導体チップとは別体に形成されたプレートキャパシタが前記所定の電源系共通配線間に電氣的に接続されるように、前記所定の電源系共通配線からの引出し電極と、前記プレートキャパシタの第一導体層および第二導体層からの引出し電極とをバンプを介して接合することにより前記所定の電源系共通配線のノイズを低減する構成を有し、
前記半導体集積回路は、互いに位相の異なる第一出力信号および第二出力信号を供給する位相分割回路部と、前記第一出力信号に応じて出力信号を供給するエミッタフォロワ出力回路部と、前記エミッタフォロワ出力回路部のエミッタ負荷を形成するエミッタ負荷トランジスタ

と、前記位相分割回路部からの出力が第二出力信号から第一出力信号に変化する際に前記第二出力信号に応じて前記エミッタ負荷トランジスタを一時的に駆動する第三出力信号を供給するためのキャパシタとからなる論理回路を有し、

前記半導体集積回路の所定の電源系共通配線は、前記論理回路に電源電圧を供給する電源系共通配線であることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記エミッタ負荷トランジスタのベースに所定のバイアス電圧を供給するためのバイアス回路部を設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置技

術に関し、特に、超高速動作を行う大規模な半導体集積回路装置の電源系配線に生じるノイズの抑制に有効な技術に関するものである。

【0002】

【従来の技術】近年、半導体集積回路装置においては、半導体集積回路の大規模化や信号の高速化が進められている。しかし、半導体集積回路の大規模化や信号の高速化等に伴って半導体集積回路の電源系配線に発生するノイズの問題が顕著となりつつある。

【0003】例えば図22に本発明者によって開発された超高速プッシュプル付回路（以下、SPL（Super Push-Pull Logic）回路という）50の回路図を示す。SPL回路50は、入力トランジスタ Q_{50} と、そのコレクタ出力側に接続された出力トランジスタ Q_{51} と、入力トランジスタ Q_{50} のエミッタ出力側にキャパシタ C_{50} を介して接続されたトランジスタ Q_{52} とを有している。なお、 C_L は、負荷容量を示している。

【0004】このSPL回路50においては、負荷信号配線51に急激にチャージ電流 I_{50} 、ディスチャージ電流 I_{51} が流れるので、図23に示すようなランプ波形の電流 I_{52} がクロック信号の周波数に同期して繰り返し流れる。このような高周波では、パッケージのインピーダンス $j\omega L$ が大となり、僅かな電流を流すだけでもSPL回路50の電源系の共通ラインである電源系配線 V_{CC} 、 V_{EE} に大きなノイズが発生する。

【0005】そこで、一般に、電源系配線 V_{CC} と電源系配線 V_{EE} との間にキャパシタ C_{51} を接続することが行われている。ここで、ランプ電流のピーク値を I_p 、ランプ電流の時間（底辺分）を Δt 、SPL回路50の内部インピーダンスを Z 、電源系配線 V_{CC} および電源系配線 V_{EE} 間に接続されているキャパシタ C_{51} の容量を C とすると、電源系配線 V_{CC} と電源系配線 V_{EE} とのノイズの総和 ΔV_N は、次式で表すことができる。すなわち、 $\Delta V_N = I_p / (1/Z + 2C/\Delta t)$ である。

【0006】ところで、上式において、ランプ電流のピーク値 I_p 、時間 Δt 、内部インピーダンス Z は、SPL回路の超高速性を実現するために与えられるパラメータなので変えることはできない。したがって、電源系配線 V_{CC} 、 V_{EE} のノイズ総和 ΔV_N を低減する方法は、キャパシタ C_{51} の容量を大きくすることになる。

【0007】半導体集積回路の所定の電源系配線間にキャパシタを接続する従来方法としては、例えば特願平2-80755号に記載があり、この文献には、そのキャパシタを半導体チップの最上層に薄膜プロセスによって形成する技術について説明されている。

【0008】

【発明が解決しようとする課題】ところが、上記従来の技術においては、電源系配線間に接続されるキャパシタを半導体チップの最上層に形成するので、下地段差等に起因してキャパシタを構成する導体層や誘電体膜に欠陥

等が発生し易くなり、半導体チップの歩留りが低下する問題があることを本発明者は見出した。

【0009】本発明は上記課題に着目してなされたものであり、その目的は、半導体チップの歩留りを低下させることなく、半導体集積回路を構成する電源系配線に発生するノイズを低減することのできる技術を提供することにある。

【0010】本発明の他の目的は、超高速動作を行う大規模な半導体集積回路装置の動作信頼性を向上させることのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、請求項1記載の発明は、所定の半導体集積回路を有する半導体チップの主面側最上層に前記半導体集積回路の所定の電源系共通配線からの引出し電極を設け、前記半導体チップとは別体に形成されたプレートキャパシタが前記所定の電源系共通配線間に電氣的に接続されるように、前記所定の電源系共通配線からの引出し電極と、前記プレートキャパシタの第一導体層および第二導体層からの引出し電極とをバンプを介して接合することにより前記所定の電源系共通配線のノイズを低減する構成を有し、前記半導体集積回路は、互いに位相の異なる第一出力信号および第二出力信号を供給する位相分割回路部と、前記第一出力信号に応じて出力信号を供給するエミッタフォロウ出力回路部と、前記エミッタフォロウ出力回路部のエミッタ負荷を形成するエミッタ負荷トランジスタと、前記位相分割回路部からの出力が第二出力信号から第一出力信号に変化する際に前記第二出力信号に応じて前記エミッタ負荷トランジスタを一時的に駆動する第三出力信号を供給するためのキャパシタとからなる論理回路を有し、前記半導体集積回路の所定の電源系共通配線は、前記論理回路に電源電圧を供給する電源系共通配線であるものである。

【0014】

【0015】

【0016】

【0017】

【0018】

【作用】上記した請求項1記載の発明によれば、大容量のキャパシタを半導体集積回路の所定の電源系共通配線間に電氣的に接続することができる。また、プレートキャパシタと半導体チップとをバンプを介して接続するので、プレートキャパシタを半導体チップの近くに配置でき、それらの接続部分のインダクタンス成分および抵抗成分を小さくすることができる。しかも、正常に機能す

るプレートキャパシタのみを半導体チップ上に実装して半導体集積回路の所定の電源系共通配線間に電気的に接続することができるので、プレートキャパシタの不良に起因する半導体チップの歩留り低下を招くことがほとんどない。

【0019】

【0020】

【0021】

【0022】

【0023】

【実施例】図1は本発明の一実施例である半導体集積回路装置の全体断面図、図2は図1に示した半導体集積回路装置における半導体チップの主面側の平面図、図3は図1に示した半導体集積回路装置の半導体チップに形成された論理回路の回路図、図4は図1に示した半導体集積回路装置のプレートキャパシタの平面図、図5は図4のA-A線の断面図、図6は図4のB-B線の断面図、図7はプレートキャパシタと半導体チップとの接合状態を示す半導体集積回路装置の要部断面図、図8は図1に示したプレートキャパシタの回路接続位置を示す回路図、図9および図10は図1に示した半導体集積回路装置の論理回路の電源系共通配線の電位状態を示すグラフ図、図11および図12はプレートキャパシタを用いない従来の半導体集積回路装置の電源系共通配線の電位状態を示すグラフ図、図13はマシンサイクルとノイズ量との関係を示すグラフ図、図14は電源ピン数とノイズ量との関係を示すグラフ図である。

【0024】図1に示す本実施例の半導体集積回路装置は、例えばPGA (Pin Grid Array) 1である。

【0025】PGA 1を構成するパッケージ基板2は、例えばセラミックからなる。パッケージ基板2の裏面には、複数のリードピン3が接合されている。リードピン3は、例えば42アロイからなりその表面には金(Au)メッキが施されている。

【0026】パッケージ基板2の主面側中央には、半導体チップ4がその主面を上に向けた状態で実装され、さらに半導体チップ4の主面側にはプレートキャパシタC₁がバンプ5を介して実装されている。以下、まず、半導体チップ4について説明した後、プレートキャパシタC₁について説明する。

【0027】半導体チップ4は、例えばシリコン(Si)からなり、チップサイズは、例えば20mm×20mm程度である。

【0028】半導体チップ4の主面外周には、図2に示すように、ボンディングパッド6が複数形成されている。ボンディングパッド6は、例えばアルミウム(Al)またはAl合金からなり、半導体チップ4の外周に沿って所定の間隔毎に配置されている。

【0029】また、半導体チップの主面において、ボンディングパッド6よりも内側には、電源系配線V_{cc1}、V

EE1 (電源系共通配線) および電源系配線V_{cc2}、V_{EE2}が半導体チップの外周に沿って延在して形成されている。電源系配線V_{cc1}、V_{EE1}、V_{cc2}、V_{EE2}は、例えばAlまたはAl合金からなり、そのうちの電源系配線V_{cc1}、V_{cc2}は、GND電位(0V)に設定されている。また、電源系配線V_{EE1}、V_{EE2}は、それぞれ例えば-2V、-3Vに設定されている。

【0030】さらに、半導体チップ4の主面中央には、例えば櫛歯状の配線パターン7a、7bが、双方の歯を噛み合わせた状態で、かつ、電気的には絶縁された状態で配置されている。ただし、配線パターン7a、7bの形状は、櫛歯状に限定されるものではなく種々変更可能である。配線パターン7a、7bは、AlまたはAl合金からなり、半導体チップ4の主面側最上層に形成され、それぞれ電源系配線V_{cc1}、V_{EE1}に電気的に接続されている。また、配線パターン7a、7bには、それぞれ引出し電極8a、8bが形成されている。引出し電極8a、8bは、それぞれ配線パターン7a、7b上に所定の間隔毎に分散配置されている。これは、引出し電極8a、8bを複数分散して配置することにより、引出し電極8a、8bのインピーダンスを下げ、寄生抵抗の形成を抑制するためである。

【0031】一方、半導体チップ4の主面側には、例えば図3に示すような論理回路9を複数有する所定の半導体集積回路が形成されている。

【0032】論理回路9は、入力回路部と、内部回路部と、出力回路部とからなり、上記電源系配線V_{cc1}、V_{EE1}、V_{cc2}、V_{EE2}から電源電圧が供給されるようになっている。なお、論理回路9は、例えばバイポーラトランジスタを主として構成されている。

【0033】論理回路9を構成する入力回路部は、例えば差動増幅回路部10と、基準電圧設定回路部11と、バッファ増幅回路部12とから構成されている。

【0034】差動増幅回路部10は、高速スイッチング動作を行う回路部であり、トランジスタQ₁、Q₂および抵抗R₁によって構成されている。トランジスタQ₁のベースは、ボンディングパッド6aに電気的に接続されている。トランジスタQ₁、Q₂のコレクタは、電源系配線V_{cc1}に電気的に接続され、トランジスタQ₁、Q₂のエミッタは、トランジスタQ₃および抵抗R₂を介して電源系配線V_{EE2}に電気的に接続されている。

【0035】基準電圧設定回路部11は、トランジスタQ₂のベース電位を一定に固定するための回路部であり、トランジスタQ₃および抵抗R₂～R₅によって構成されている。抵抗R₂は、トランジスタQ₃のエミッタと電源系配線V_{EE2}との間に電気的に接続されている。また、抵抗R₃は、トランジスタQ₃のベースと電源系配線V_{EE2}との間に電気的に接続されている。抵抗R₄は、トランジスタQ₂、Q₃のベース-ベース間に電気的に接続されている。抵抗R₅はトランジスタQ₂の

ベースと電源系配線 V_{cc1} との間に電氣的に接続されている。

【0036】バッファ増幅回路部12は、入力回路部と内部回路部との間の回路整合や干渉防止を目的として挿入された増幅器であり、トランジスタ Q_4 および抵抗 R_6 によって構成されている。トランジスタ Q_4 のベースは、前段の差動増幅回路部10出力に電氣的に接続されている。また、トランジスタ Q_4 のコレクタは、電源系配線 V_{cc1} に電氣的に接続され、そのエミッタは抵抗 R_6 を介して電源系配線 V_{ee1} に電氣的に接続されている。

【0037】内部回路部には、例えば本発明者によって開発されたSPL回路が形成されている。SPL回路については、特願昭63-81645号に詳細に記載されているので、本実施例においては簡単に説明する。

【0038】SPL回路は、位相分割回路部13と、エミッタフォロウ出力回路部であるトランジスタ Q_5 と、キャパシタ C_1 と、エミッタ負荷トランジスタ Q_6 と、バイアス回路部14とからなり、電源系配線 V_{cc1} 、 V_{ee1} から電源電圧が供給されている。

【0039】位相分割回路部13は、互いに位相の異なる反転出力 $-V_i$ （第一出力信号）、非反転出力 V_i （第二出力信号）を出力する回路部であり、入力トランジスタ Q_7 と、そのコレクタに電氣的に接続された抵抗 R_7 と、そのエミッタに電氣的に接続された抵抗 R_8 によって構成されている。

【0040】トランジスタ Q_5 は、位相分割回路部13からの反転出力 $-V_i$ に応じて駆動し、SPL回路の出力に出力信号を供給する回路部であり、そのベースは入力トランジスタ Q_7 のコレクタに電氣的に接続されている。

【0041】キャパシタ C_1 は、位相分割回路13の出力が非反転出力 V_i から反転出力 $-V_i$ に変化する際に非反転出力 V_i の立ち上がりを微分してエミッタ負荷トランジスタ Q_6 を一時的に駆動するための信号（第三出力信号）を供給する回路部である。キャパシタ C_1 は、位相分割回路部13のトランジスタ Q_7 のエミッタと、エミッタ負荷トランジスタ Q_6 のベースとの間に電氣的に接続されている。

【0042】エミッタ負荷トランジスタ Q_6 は、キャパシタ C_1 からの信号に応じて駆動するようになっている。

【0043】バイアス回路部14は、エミッタ負荷トランジスタ Q_6 のベース電位を制御し、SPL回路の出力波形の歪を防止する回路部であり、トランジスタ Q_8 、抵抗 R_9 、 R_{10} およびダイオード D_1 、 D_2 によって構成されている。

【0044】出力回路部は、トランジスタ Q_9 、 Q_{10} と、抵抗 R_{11} 、 R_{12} とによって構成されている。トランジスタ Q_9 は、前段のSPL回路と後段のトランジスタ Q_{10}

との間の回路整合や干渉防止を目的とした増幅器であり、トランジスタ Q_9 のベースはSPL回路の出力に電氣的に接続されている。また、トランジスタ Q_9 のコレクタは抵抗 R_{11} を介して電源系配線 V_{cc1} に電氣的に接続され、そのエミッタは抵抗 R_{12} を介して電源系配線 V_{ee1} に電氣的に接続されている。

【0045】また、トランジスタ Q_{10} は、出力回路部と半導体チップ4の外部の回路との間の回路整合や干渉防止を目的とした増幅器であり、そのベースはトランジスタ Q_9 のコレクタに電氣的に接続されている。また、トランジスタ Q_{10} のコレクタは、電源系配線 V_{cc2} に電氣的に接続され、そのエミッタはボンディングパッド6bに電氣的に接続されている。

【0046】次に、プレートキャパシタ C_x を図4～図6により説明する。

【0047】図5および図6に示すキャパシタ基板15は、例えばSiからなる。キャパシタ基板15をSiとした理由は、プレートキャパシタ C_x を半導体チップ4と同一材料によって構成することにより、プレートキャパシタ C_x の熱膨張係数を半導体チップ4の熱膨張係数に近似させ、その熱膨張係数の差に起因する熱応力の発生を抑制するためである。

【0048】キャパシタ基板15の主面には、例えば二酸化ケイ素（ SiO_2 ）からなる絶縁膜16が形成されている。絶縁膜16の上面には、第一導体層17aが形成されている。第一導体層17aは、例えばAlまたはAl合金からなり、その平面形状は、図4に示すように、例えば四角形状である。

【0049】第一導体層17a上には、誘電体膜18が形成されている。誘電体膜18は、例えば窒化ケイ素（ Si_3N_4 ）と SiO_2 とがキャパシタ基板15側から順に積層され形成されている。

【0050】誘電体膜18上には、第二導体層17bが形成されている。第二導体層17bは、例えばAlまたはAl合金からなり、その平面形状は、図4に示すように、例えば櫛歯状に形成されている。

【0051】プレートキャパシタ C_x の主面側最上層には、第一導体層17aおよび第二導体層17bを被覆するように絶縁膜19が堆積されている。絶縁膜19の一部には、第一導体層17aに達するコンタクトホール20aおよび第二導体層17bに達するコンタクトホール20bが形成されており、そのコンタクトホール20a、20bには、それぞれ下地金属パターン（引出し電極）21a、21bが形成されている。

【0052】下地金属パターン21a、21bは、例えばチタン（Ti）、銅（Cu）、ニッケル（Ni）がキャパシタ基板15側から順に積層されてなり、第一導体層17a、第二導体層17bのそれぞれのパターン上に所定の間隔毎に分散して配置されている。これは、下地金属パターン21a、21bにおけるインピーダンスを

下げるにより、寄生抵抗の形成を抑制するためである。下地金属パターン21a, 21b上には、例えば鉛(Pb)/スズ(Sn)からなるバンプ5a, 5bがそれぞれ形成されている。

【0053】プレートキャパシタ C_X は、図7に示すように、その下地金属パターン21a, 21bと、それぞれ半導体チップ4の引出し電極8a, 8bとがバンプ5a, 5bを介して接合されて半導体チップ4上に実装されている。すなわち、プレートキャパシタ C_X は、回路的には、図8に示すように、SPL回路の電源系配線 V_{CC1} , V_{EE1} 間に電氣的に接続されている。

【0054】プレートキャパシタ C_X を用いた場合の電源系配線 V_{CC1} , V_{EE1} の電位変動をそれぞれ図9、図10に示す。また、プレートキャパシタ C_X を用いない場合の電源系配線 V_{CC1} , V_{EE1} の電位変動をそれぞれ図11、図12に示す。

【0055】図9および図10に示すように、本実施例のPGA1においては、電源系配線 V_{CC1} , V_{EE1} 間にプレートキャパシタ C_X を電氣的に接続することにより、半導体チップ4内に高周波電源を設けた場合と同等の効果が得られ、電源系配線 V_{CC1} , V_{EE1} に発生するノイズを大幅に低減できるようになっている。

【0056】例えばランプ電流のピーク値を1A、ランプ電流の時間を0.5nsとすると、プレートキャパシタ C_X がないときには、SPL回路の内部インピーダンス Z を0.4 Ω としてもノイズ量 ΔV_N は400mVとなる。これに対して例えば100nFのプレートキャパシタ C_X を用いると、ノイズ量 ΔV_N を2.5mVまで低減することができる。また、例えば内部回路の内部インピーダンス Z がCMOS (Complimentary MOS)のように無限大とする。この場合、プレートキャパシタ C_X がないと、全電流がパッケージのインダクタンス分に流れ、例えばインダクタンスの値を1nHと比較的良好な値に設定したとしてもノイズ量 ΔV_N は、 $\Delta V_N = L (di/dt)$ により、4Vとなる。

【0057】また、ノイズ量は、一般に、マシンサイクルや電源系のリードピン3の数によっても大幅に異なることが知られている。マシンサイクルとノイズ量との関係を図13に示す。また、電源系のリードピン3の数とノイズ量との関係を図14に示す。図13および図14において、実線はプレートキャパシタ C_X を用いた場合、二点鎖線はプレートキャパシタ C_X を用いない場合、一点鎖線は目標値をそれぞれ示している。

【0058】図13から、プレートキャパシタ C_X を用いない場合、ノイズ量は、マシンサイクルの短縮により大幅に増大することがわかる。これに対して、プレートキャパシタ C_X を用いれば、ノイズ量を大幅に低減できることがわかる。これは、超高速RISCプロセッサの開発が可能であることを示している。

【0059】また、図14に示すように、プレートキャ

パシタ C_X を用いない場合、電源系のリードピン3の数を減らしていくと急激にノイズ量が増加してしまう。したがって、回路動作の高速化に伴い電源系のリードピン3の数を増やさざるを得ず、PGA1のコストが高くなってしまふ。これに対してプレートキャパシタ C_X を用いた場合、電源系のリードピン3の数を増やすことなくノイズ量を低減できるので、PGA1のコストを高くすることなく、高速動作を行うSPL回路の動作信頼性を向上できることがわかる。

【0060】一方、図1に示すように、PGA1を構成するパッケージ基板2の主面において半導体チップ4の周囲には配線22が形成されている。配線22は、半導体チップ4の外周からパッケージ基板2の外周方向に沿って延在している。配線22の半導体チップ4側の一端は、例えばAu, Alまたは銅(Cu)からなるボンディングワイヤ23を介して上記したボンディングパッド6に電氣的に接続されている。また、配線22の他端は、パッケージ基板2の内部に形成された内部配線(図示せず)を介して上記したリードピン3に電氣的に接続されている。さらに、パッケージ基板2の主面側外周には、キャップ24の脚部が封止部25によって接合されている。キャップ24は、例えばセラミックからなり、これによって半導体チップ4およびプレートキャパシタ C_X が封止されている。

【0061】以上、本実施例によれば、以下の効果を得ることが可能となる。

【0062】(1).PGA1の半導体チップ4に形成されたSPL回路の電源系配線 V_{CC1} , V_{EE1} 間にプレートキャパシタ C_X を電氣的に接続したことにより、大容量のキャパシタをSPL回路の電源系配線 V_{CC1} , V_{EE2} 間に電氣的に接続することが可能となる。

【0063】(2).プレートキャパシタ C_X と半導体チップ4とをバンプ5を介して接続することにより、プレートキャパシタ C_X を半導体チップ4の近くに配置できるので、それらの接続部分のインダクタンス成分および抵抗成分を小さくすることが可能となる。

【0064】(3).プレートキャパシタ C_X は、半導体チップ4とは別体に製造されるので、半導体チップ上には、正常に機能するプレートキャパシタ C_X のみを実装することができる。したがって、プレートキャパシタ C_X の不良に起因する半導体チップ4の歩留り低下を招くことがほとんどない。

【0065】(4).上記(1)~(3)により、半導体チップ4の歩留りを低下させることなく、SPL回路の電源系配線 V_{CC1} , V_{EE1} に発生するノイズの量を低減することが可能となる。

【0066】(5).上記(1)~(3)により、電源系のリードピン3の数を増加させることなく、SPL回路の電源系配線 V_{CC1} , V_{EE1} に発生するノイズの量を低減することができる。このため、PGA1のコスト増を招くこと

なく、PGA1の動作速度の高速化に対応することが可能となる。

【0067】(6).プレートキャパシタ C_X と半導体チップ4とを接続する電極8b, 21bをそれらの対向面内において分散配置したことにより、プレートキャパシタ C_X と半導体チップ4とを接続する電極8a, 21b部分のインピーダンスを低減することができるので、その電極8a, 21b部分のインピーダンスに起因する寄生抵抗の形成を抑制することができ、プレートキャパシタ C_X の機能を有効に発揮させることが可能となる。

【0068】(7).上記(1)～(4), (6)により、高速動作を行う大規模なPGA1の動作信頼性を向上させることが可能となる。

【0069】次に、本発明の他の実施例を説明する。

【0070】図15は本発明の他の実施例である半導体集積回路装置の断面図である。

【0071】ところで、半導体チップのチップサイズが大形化し、プレートキャパシタも大形化すると、プレートキャパシタの製造に際して異物等に起因する不良の発生率が高くなり、プレートキャパシタの歩留りが低くなることが考えられる。

【0072】また、プレートキャパシタが大形化すると、半導体チップとの熱膨張係数の差に起因してプレートキャパシタや半導体チップに過度の熱応力が加わり、クラック等の不良が生じることも考えられる。

【0073】そこで、本実施例においては、図15に示すように、複数に分割されたプレートキャパシタ C_X を半導体チップ4の主面上にバンプ5を介して実装した。チップサイズは、前記第一実施例と同様、例えば20mm×20mm程度である。各プレートキャパシタ C_X は、前記第一実施例と同様、電源系配線 V_{CC1} , V_{EE1} (図8参照)間に電気的に接続されている。

【0074】したがって、本実施例によれば、前記実施例で得られた効果の他に次の効果を得ることが可能となる。

【0075】(1).プレートキャパシタ C_X を複数に分割して製造することにより、プレートキャパシタ C_X の製造歩留りを向上させることが可能となる。

【0076】(2).プレートキャパシタ C_X を半導体チップ4の熱膨張係数とは異なる材料で構成した場合でもその熱膨張係数に起因する熱応力を分散させることができるので、その熱応力に起因する不良発生を抑制することが可能となる。

【0077】次に、本発明の他の実施例を説明する。

【0078】図16は本発明の他の実施例である半導体集積回路装置のプレートキャパシタの平面図、図17は図16のB'-B'線の断面図である。

【0079】本実施例においては、図16に示すように、第二導体層17bの平面形状も四角形状となっている。ただし、第二導体層17bの所定平面位置には、例

えば平面円形状のコンタクトホール20cが開口されており、その開口部内に図17に示すように、第一導体層17aに接続された下地金属パターン21aが形成されている。

【0080】すなわち、本実施例のプレートキャパシタ C_X においては、図4に示したプレートキャパシタ C_X 自体の平面積を大きくすることなく、第二導体層17bの平面積のみを増大させることができる。このため、前記各実施例のプレートキャパシタ C_X よりも第一導体層17aと第二導体層17bとの対向面積を増大させることができ、プレートキャパシタ C_X の容量を増大させることが可能となる。したがって、このプレートキャパシタ C_X を前記PGA1 (図1参照)に用いることにより、SPL回路の電源系配線 V_{CC1} , V_{EE1} に発生するノイズの量を前記各実施例よりも低減することが可能となる。

【0081】次に、本発明のさらに他の実施例を説明する。

【0082】図18は本発明の他の実施例である半導体集積回路装置のプレートキャパシタの平面図である。

【0083】本実施例においては、図18に示すように、例えばプレートキャパシタ C_X の第二導体層が複数の導体領域17b₁に分割されている。

【0084】各導体領域17b₁は、配線26によって電気的に接続されている。配線26の終端には、テストパッド27が形成されている。そして、例えばそのテストパッド27と、各導体領域17b₁に電気的に接続されたバンプ5bとにプローブ針等を接触させ、各導体領域17b₁の良否を判定できるようになっている。

【0085】すなわち、本実施例のプレートキャパシタ C_X においては、プローブ検査や光学的な検査等の結果、所定の導体領域17b₁または誘電体膜18 (図5参照)等に何等かの不良が発見された場合、その不良が発見された導体領域17b₁が接続されている配線26の所定部分をレーザー加工法等によって切断し、その導体領域17b₁と他の正常な導体領域17b₁とを電気的に切り離すことが可能な構造になっている。

【0086】このように本実施例によれば、プレートキャパシタ C_X の第二導体層を電気的に分離可能な複数の導体領域17b₁に分割したことにより、任意の導体領域17b₁に不良が発生した場合は、その部分だけを切り離すことでプレートキャパシタ C_X を救済することができるので、プレートキャパシタ C_X の製造歩留りを向上させることが可能となる。

【0087】次に、本発明のさらに他の実施例を説明する。

【0088】図19は本発明のさらに他の実施例である半導体集積回路装置のプレートキャパシタの全体断面図である。

【0089】本実施例においては、図19に示すよう

に、プレートキャパシタ C_x を構成する第一導体層17aおよび第二導体層17bが複数層形成されている。各層の第一導体層17aは、スルーホール28aによって電氣的に接続されている。また、各層の第二導体層17bは、スルーホール28bによって電氣的に接続されている。

【0090】本実施例によれば、第一導体層17aおよび第二導体層17bを多層とすることにより、プレートキャパシタ C_x 自体の平面積を大きくすることなく、第一導体層17aと第二導体層17bとの対向面積を増大させることができる。すなわち、このプレートキャパシタ C_x を前記PGA1に用いることにより、PGA1（図1参照）の大幅な大形化を招くことなく、プレートキャパシタ C_x の容量を大幅に向上させることが可能となる。したがって、SPL回路の電源系配線 V_{cc1} , V_{ee1} に発生するノイズを前記各実施例よりも大幅低減することが可能となる。この結果、PGA1の動作信頼性をさらに向上させることが可能となる。

【0091】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0092】例えば前記実施例においては、半導体チップのボンディングパッドとパッケージ基板の配線との接続方法としてワイヤボンディング方法を用いた場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば図20に示すように、半導体チップ4の電極とパッケージ基板2の配線とをフリップチップボンディング法により接続しても良い。この場合、プレートキャパシタ C_x は、パッケージ基板2と半導体チップ4との間に挟まれた状態で半導体チップ4に実装されている。また、この場合も図21に示すように、プレートキャパシタ C_x を複数に分割しても良い。

【0093】また、前記各実施例においては、半導体チップをSiとしたが、これに限定されるものではなく種々変更可能であり、例えばガリウム・ヒ素（GaAs）等のような化合物半導体でも良い。

【0094】また、前記各実施例においては、プレートキャパシタのキャパシタ基板をSiとしたが、これに限定されるものではなく種々変更可能であり、例えばセラミック等でも良い。

【0095】また、前記各実施例においては、プレートキャパシタを構成する誘電体膜を SiO_2 と Si_3N_4 との積層絶縁膜としたが、これに限定されるものではなく種々変更可能である。

【0096】また、前記各実施例においては、バイポーラトランジスタからなる回路を有する半導体集積回路装置に本発明を適用した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばCMOSやバイCMOSからなる回路を有する半導体集積

回路装置に本発明を適用することも可能である。

【0097】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSPL回路を有する半導体集積回路装置に適用した場合について説明したが、これに限定されず種々適用可能であり、SPL回路以外的高速動作回路を有する他の半導体集積回路装置にも適用することが可能である。

【0098】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0099】(1).すなわち、請求項1記載の発明によれば、大容量のキャパシタを半導体集積回路の電源系共通配線間に電氣的に接続することができる。また、プレートキャパシタと半導体チップとをバンプを介して接続するので、プレートキャパシタを半導体チップの近くに配置でき、それらの接続部分のインダクタンス成分および抵抗成分を小さくすることができる。しかも、正常に機能するプレートキャパシタのみを半導体チップ上に実装して半導体集積回路の所定の電源系共通配線間に電氣的に接続することができるので、プレートキャパシタの不良に起因する半導体チップの歩留り低下を招くことがほとんどない。したがって、半導体チップの歩留りを低下させることなく、半導体集積回路の所定の電源系共通配線に発生するノイズの量を低減することが可能となる。この結果、高速動作を行う大規模な半導体集積回路装置の動作信頼性を向上させることが可能となる。

【0100】

【0101】

【0102】

【0103】

【図面の簡単な説明】

【図1】図1は本発明の一実施例である半導体集積回路装置の全体断面図である。

【図2】図1に示した半導体集積回路装置における半導体チップの主面側の平面図である。

【図3】図1に示した半導体集積回路装置の半導体チップに形成された論理回路の回路図である。

【図4】図1に示した半導体集積回路装置のプレートキャパシタの平面図である。

【図5】図4のA-A線の断面図である。

【図6】図4のB-B線の断面図である。

【図7】プレートキャパシタと半導体チップとの接合状態を示す半導体集積回路装置の要部断面図である。

【図8】図1に示したプレートキャパシタの回路接続位置を示す回路図である。

【図9】図1に示した半導体集積回路装置の論理回路の電源系共通配線の電位状態を示すグラフ図である。

【図10】図1に示した半導体集積回路装置の論理回路の電源系共通配線の電位状態を示すグラフ図である。

【図11】プレートキャパシタを用いない従来の半導体集積回路装置の電源系共通配線の電位状態を示すグラフ図である。

【図12】プレートキャパシタを用いない従来の半導体集積回路装置の電源系共通配線の電位状態を示すグラフ図である。

【図13】マシンサイクルとノイズ量との関係を示すグラフ図である。

【図14】電源ピン数とノイズ量との関係を示すグラフ図である。

【図15】本発明の他の実施例である半導体集積回路装置の全体断面図である。

【図16】本発明の他の実施例である半導体集積回路装置のプレートキャパシタの平面図である。

【図17】図16のB'-B'線の断面図である。

【図18】本発明の他の実施例である半導体集積回路装置のプレートキャパシタの平面図である。

【図19】本発明の他の実施例である半導体集積回路装置のプレートキャパシタの全体断面図である。

【図20】本発明の他の実施例である半導体集積回路装置の全体断面図である。

【図21】本発明の他の実施例である半導体集積回路装置の全体断面図である。

【図22】従来の半導体集積回路装置に形成されたSPL回路を示す回路図である。

【図23】図22のSPL回路の電源系共通配線間にキャパシタを接続した場合の等価回路図である。

【符号の説明】

- 1 PGA (半導体集積回路装置)
- 2 パッケージ基板
- 3 リードピン
- 4 半導体チップ
- 5 バンプ
- 5a バンプ
- 5b バンプ
- 6 ボンディングパッド
- 6a ボンディングパッド
- 6b ボンディングパッド
- 7a 配線パターン
- 7b 配線パターン
- 8a 引出し電極
- 8b 引出し電極
- 9 論理回路
- 10 差動増幅回路部
- 11 基準電圧設定回路部
- 12 バッファ増幅回路部
- 13 位相分割回路部
- 14 バイアス回路部
- 15 キャパシタ基板
- 16 絶縁膜

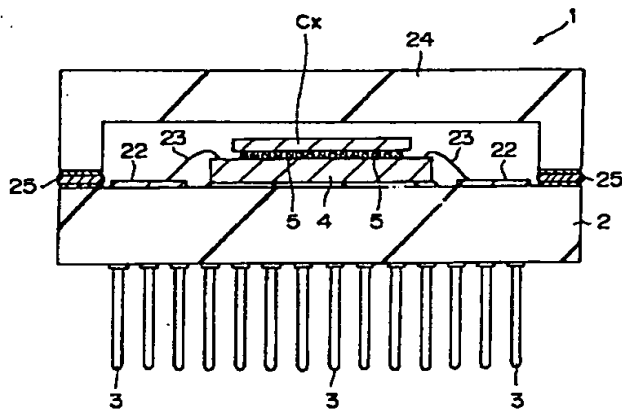
- 17a 第一導体層
- 17b 第二導体層
- 17b₁ 導体領域
- 18 誘電体膜
- 19 絶縁膜
- 20a コンタクトホール
- 20b コンタクトホール
- 20c コンタクトホール
- 21a 下地金属パターン (引出し電極)
- 21b 下地金属パターン (引出し電極)
- 22 配線
- 23 ボンディングワイヤ
- 24 キャップ
- 25 封止部
- 26 配線
- 27 テストパッド
- 28a スルーホール
- 28b スルーホール
- V_{CC1} 電源系配線 (電源系共通配線)
- V_{EE1} 電源系配線 (電源系共通配線)
- V_{CC2} 電源系配線
- V_{EE2} 電源系配線
- Q₁ トランジスタ
- Q₂ トランジスタ
- Q₃ トランジスタ
- Q₄ トランジスタ
- Q₅ トランジスタ (エミッタフォロウ出力回路部)
- Q₆ エミッタ負荷トランジスタ
- Q₇ 入力トランジスタ
- Q₈ トランジスタ
- Q₉ トランジスタ
- Q₁₀ トランジスタ
- C₁ キャパシタ
- C_x プレートキャパシタ
- D₁ ダイオード
- D₂ ダイオード
- R₁ 抵抗
- R₂ 抵抗
- R₃ 抵抗
- R₄ 抵抗
- R₅ 抵抗
- R₆ 抵抗
- R₇ 抵抗
- R₈ 抵抗
- R₉ 抵抗
- R₁₀ 抵抗
- R₁₁ 抵抗
- R₁₂ 抵抗
- 50 SPL回路
- 51 負荷信号配線

Q_{50} 入力トランジスタ
 Q_{51} 出力トランジスタ
 Q_{52} トランジスタ
 C_{50} キャパシタ
 C_{51} キャパシタ
 C_L 負荷容量

I_{50} チャージ電流
 I_{51} ディスチャージ電流
 I_{52} 電流
 I_P ピーク値
 Δt 時間
 Z 内部インピーダンス

【図1】

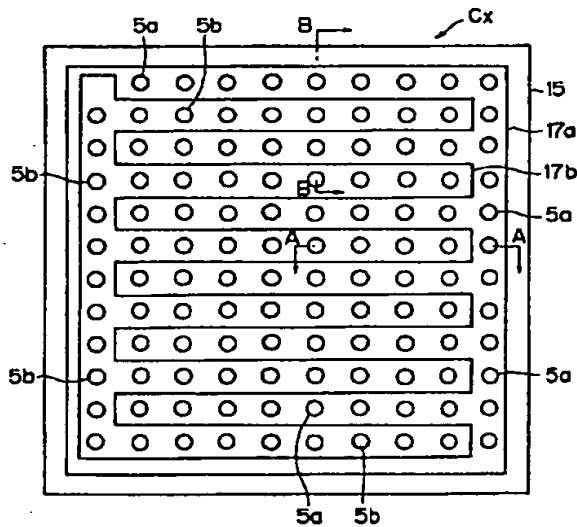
図 1



1: PGA (半導体集積回路装置)
 4: 半導体チップ
 5: パンプ
 C_x : プレートキャパシタ

【図4】

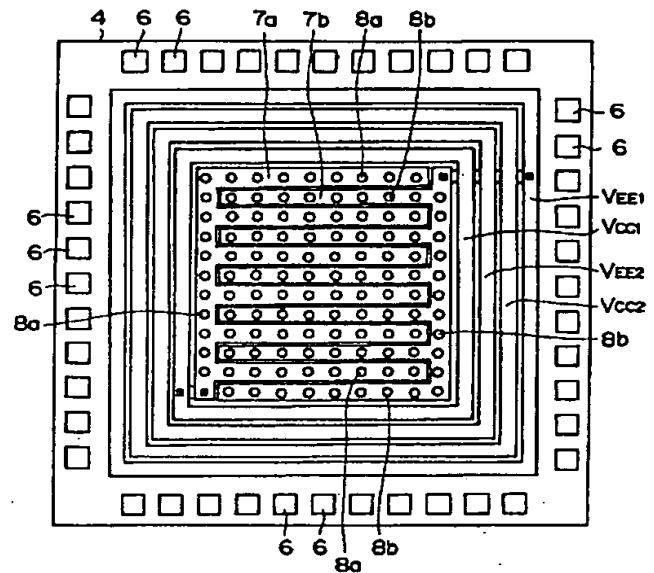
図 4



5a: パンプ 17a: 第一導体層
 5b: パンプ 17b: 第二導体層

【図2】

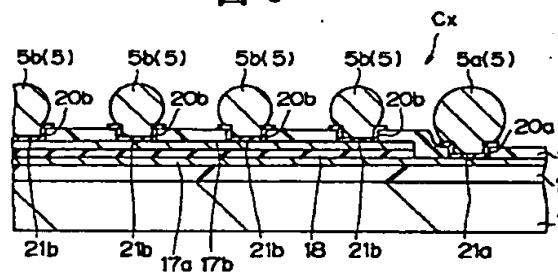
図 2



8a: 引出し電極 V_{cc1} : 電源系配線 (電源系共通配線)
 8b: 引出し電極 V_{cc2} : 電源系配線 (電源系共通配線)

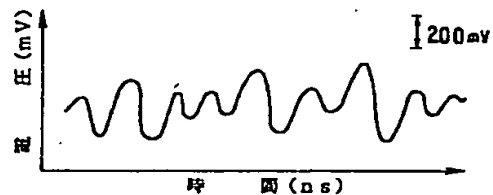
【図5】

図 5

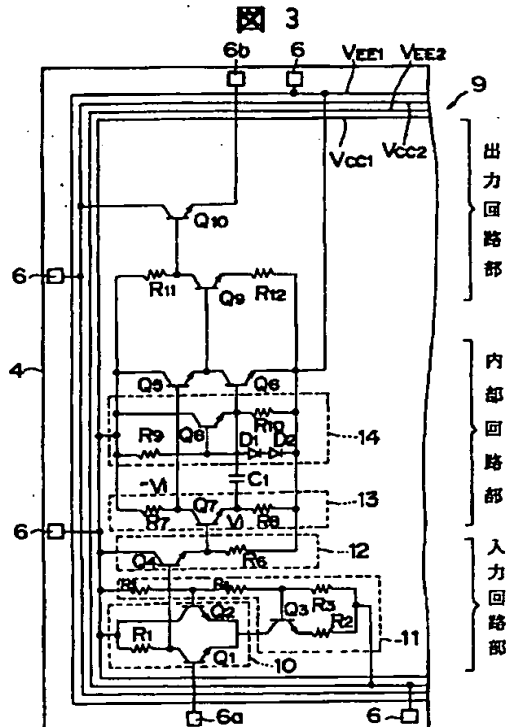


【図12】

図 12

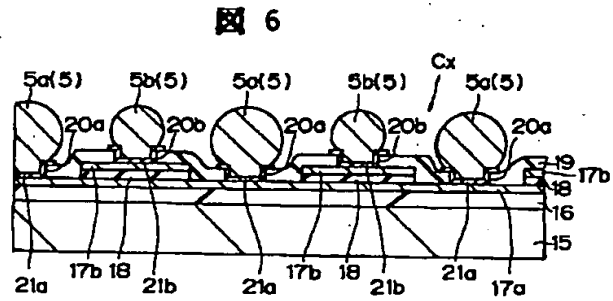


【図3】



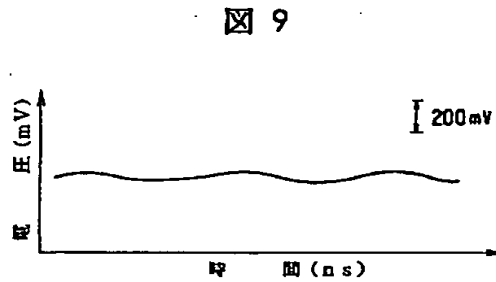
9: 論理回路 Q₁: トランジスタ (エミッタフォロウ出力回路部)
13: 位相分割回路 Q₂: エミッタ負荷トランジスタ
14: バイアス回路 C₁: キャパシタ

【図6】

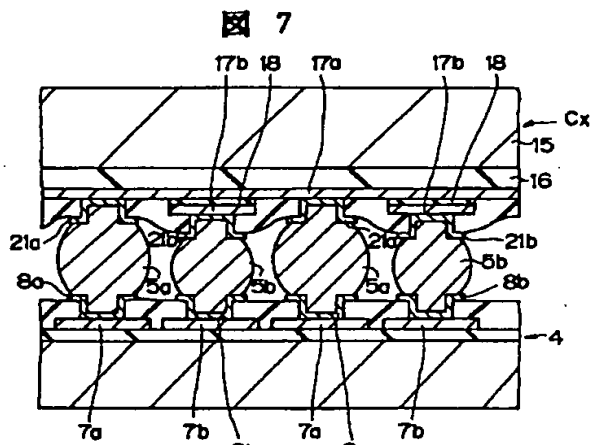


21a: 下地金属パターン (引出し電極)
21b: 下地金属パターン (引出し電極)

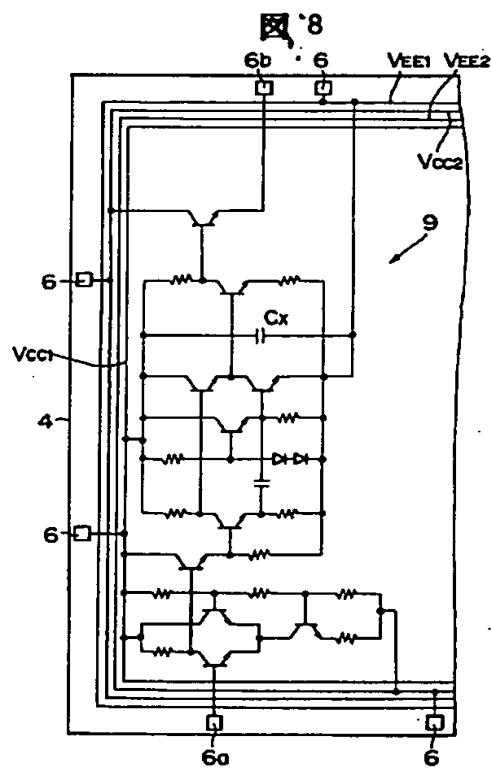
【図9】



【図7】

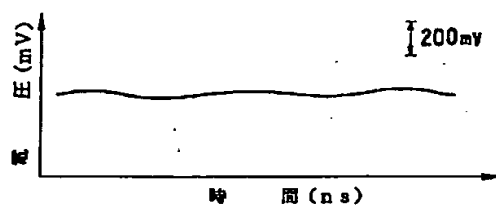


【図8】



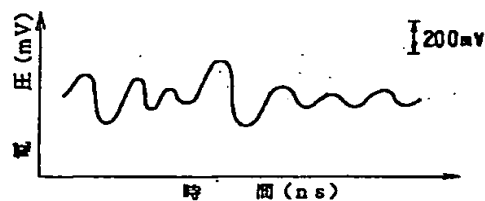
【図10】

図10



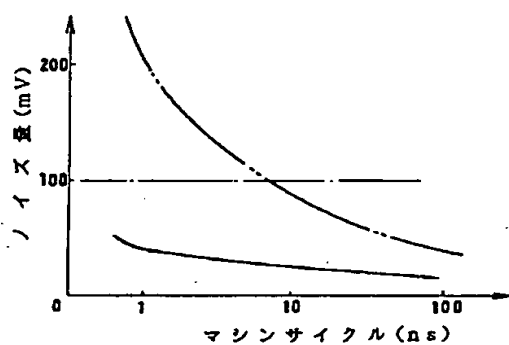
【図11】

図11



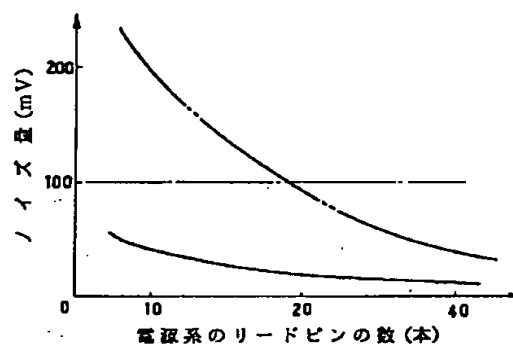
【図13】

図13



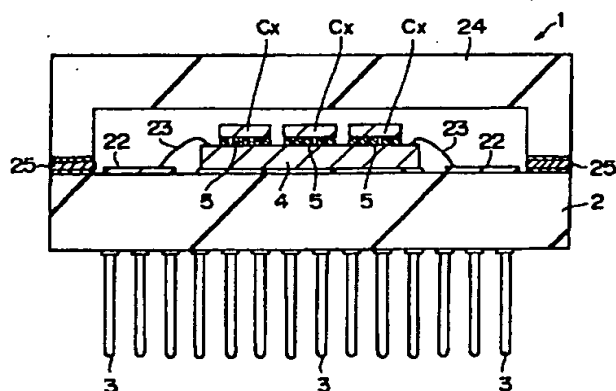
【図14】

図14



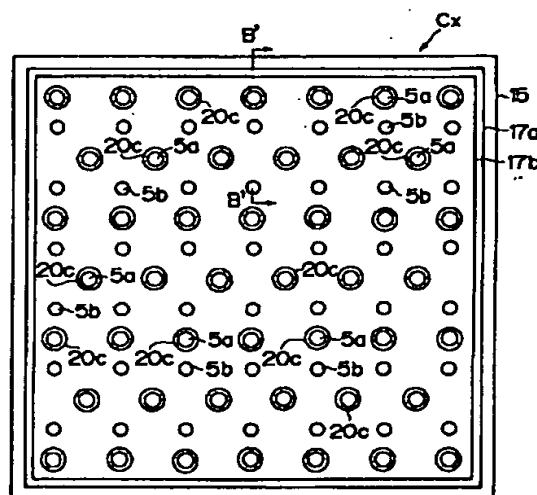
【図15】

図15



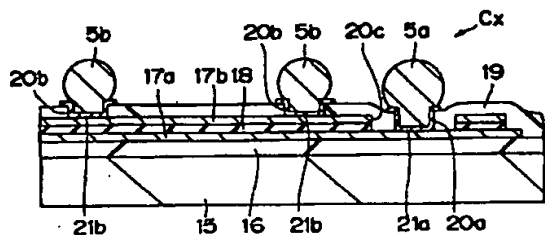
【図16】

図16



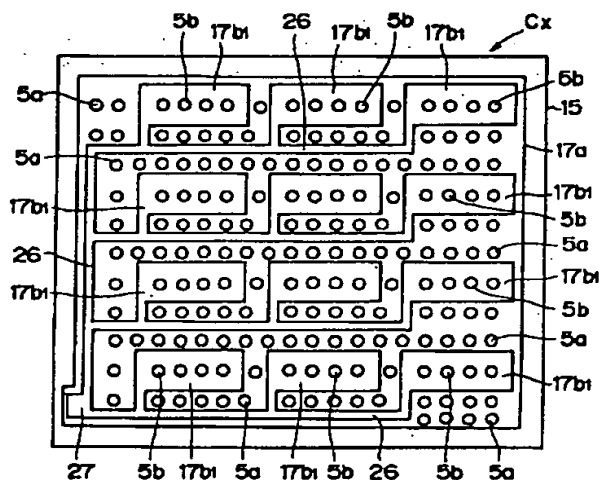
【图 17】

图 17



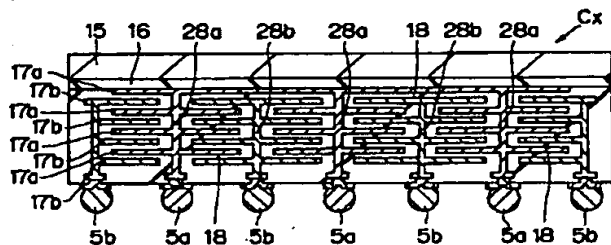
【图 18】

图 18



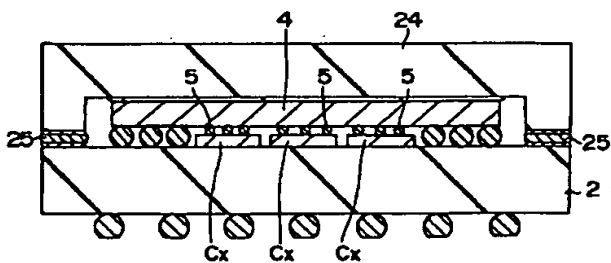
【图 19】

图 19



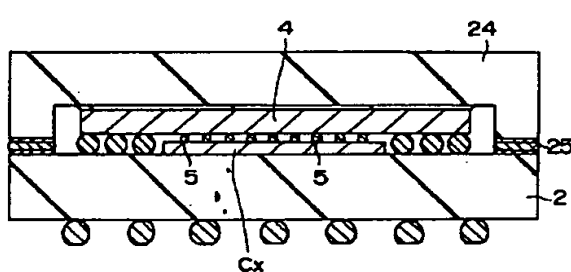
【图 21】

图 21



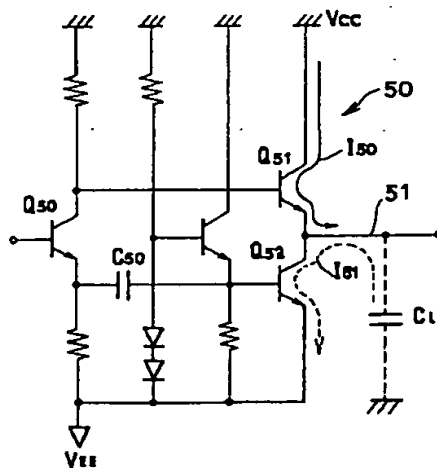
【图 20】

图 20



【图 22】

图 22



【图 2 3】

图 23

